

Resonant gate drive for synchronous rectifiers

Publication number: JP2003512000T

Publication date: 2003-03-25

Inventor:

Applicant:

Classification:

- international: **H02M7/21; H02M3/28; H02M3/335; H02M7/21; H02M3/24;** (IPC1-7): H02M3/28; H02M7/21

- European: H02M3/335S2S

Application number: JP20010529063T 20001002

Priority number(s): US19990414247 19991007; WO2000US27204 20001002

Also published as:



WO0126209 (A1)

US6169683 (B1)

EP1243065 (A0)

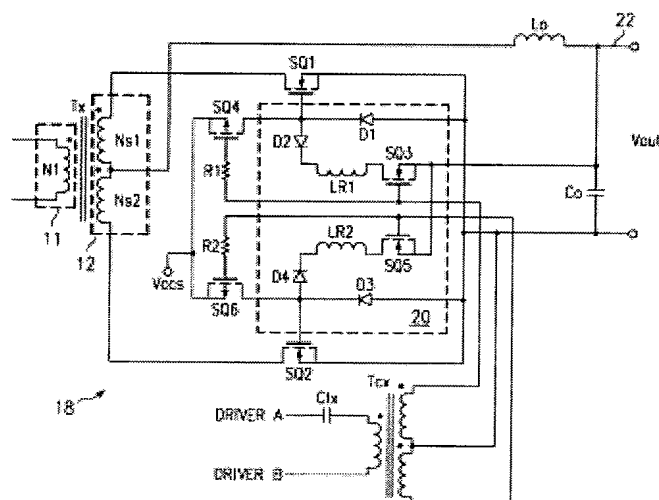
EP1243065 (B1)

Report a data error here

Abstract not available for JP2003512000T

Abstract of corresponding document: **US6169683**

An externally-driven synchronous rectifier circuit (18) comprises first and second synchronous rectifiers (SQ1, SQ2), and first and second synchronous rectifier recovery switches (SQ3, SQ5), and a pair of resonant inductors (LR1, LR2). The resonant inductors (LR1, LR2) store the energy normally lost during charging and discharging the input capacitance of the first and second synchronous rectifiers (SQ1, SQ2). The recovery switches (SQ3, SQ5) transfer the stored energy from the at least one inductor (LR) to the output terminal (Vout) creating a more energy efficient circuit (18).



Data supplied from the **esp@cenet** database - Worldwide

Family list**11** family members for: **WO0126209**

Derived from 10 applications

[Back to WO0126209](#)

- 1 Resonant gate drive for synchronous rectifiers**
Inventor: FARRINGTON RICHARD (US) **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)
Publication info: AT257290T T - 2004-01-15
- 2 Resonant gate drive for synchronous rectifiers**
Inventor: FARRINGTON RICHARD **Applicant:** ERICSSON INC
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)
Publication info: AU7748600 A - 2001-05-10
- 3 Resonant gate drive for synchronous rectifiers**
Inventor: FARRINGTON R (US) **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)
Publication info: CN1408140 A - 2003-04-02
- 4 Resonant gate drive for synchronous rectifiers**
Inventor: FARRINGTON RICHARD (US) **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)
Publication info: DE60007558D D1 - 2004-02-05
- 5 Resonant gate drive for synchronous rectifiers**
Inventor: FARRINGTON RICHARD (US) **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)
Publication info: DE60007558T T2 - 2004-11-25
- 6 RESONANT GATE DRIVE FOR SYNCHRONOUS RECTIFIERS**
Inventor: FARRINGTON RICHARD (US) **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)
Publication info: EP1243065 A1 - 2002-09-25
EP1243065 B1 - 2004-01-02
- 7 Resonant gate drive for synchronous rectifiers**
Inventor: **Applicant:**
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+4)
Publication info: JP2003512000T T - 2003-03-25
- 8 Resonant gate drive for synchronous rectifiers**
Inventor: FARRINGTON RICHARD (GT) **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+5)
Publication info: TW561678B B - 2003-11-11
- 9 Resonant gate drive for synchronous rectifiers**
Inventor: FARRINGTON RICHARD (US) **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+5)
Publication info: US6169683 B1 - 2001-01-02
- 10 RESONANT GATE DRIVE FOR SYNCHRONOUS RECTIFIERS**
Inventor: FARRINGTON RICHARD **Applicant:** ERICSSON INC (US)
EC: H02M3/335S2S **IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)
Publication info: WO0126209 A1 - 2001-04-12

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2003-512000
(P2003-512000A)

(43) 公表日 平成15年3月25日 (2003.3.25)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 2 M 3/28		H 0 2 M 3/28	F 5 H 0 0 6
			Q 5 H 7 3 0
7/21		7/21	A

審査請求 未請求 予備審査請求 有 (全 36 頁)

(21) 出願番号 特願2001-529063(P2001-529063)
 (86) (22) 出願日 平成12年10月2日(2000.10.2)
 (85) 翻訳文提出日 平成14年4月8日(2002.4.8)
 (86) 国際出願番号 PCT/US00/27204
 (87) 国際公開番号 WO01/026209
 (87) 国際公開日 平成13年4月12日(2001.4.12)
 (31) 優先権主張番号 09/414, 247
 (32) 優先日 平成11年10月7日(1999.10.7)
 (33) 優先権主張国 米国 (US)

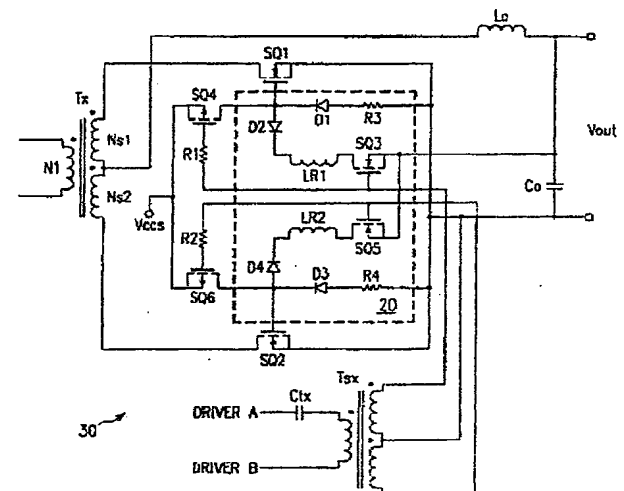
(71) 出願人 エリクソン インコーポレイテッド
 ERICSSON INC.
 アメリカ合衆国 テキサス州 75024,
 プラノ, エムエス イービーダブリュー
 2-シー-2, レガシー 6300
 6300 Legacy, MS EVW 2
 -C-2, Plano, TX 75024,
 United States of A
 merica
 (72) 発明者 ファリントン, リチャード
 アメリカ合衆国 テキサス州 75025,
 ヒース, スカイライン サークル 101
 (74) 代理人 弁理士 大塚 康徳 (外3名)

最終頁に続く

(54) 【発明の名称】 同期整流器のための共振ゲート駆動装置

(57) 【要約】

外部駆動型同期整流回路 (18) のための共振ゲート駆動装置である。この回路は (18)、第1、第2の第2同期整流器回復スイッチ (SQ3、SQ46) と、第1、第2の第2同期整流器回復スイッチ (SQ5、SQ6) と、少なくとも1つのインダクタ (LR) と備える。少なくとも1つのインダクタ (LR) は、第1、第2同期整流器 (SQ1、SQ2) の充放電時に、第1、第2同期整流器 (SQ1、SQ2) のキャパシタンスからのエネルギーを蓄える。回復スイッチ (SQ3、SQ4、SQ5、SQ6) は、少なくとも1つのインダクタ (LR) から蓄えたエネルギーを出力端子 (22) へ転送し、よりエネルギー効率の高い回路を作り出す。



【特許請求の範囲】

【請求項1】 DC-DCコンバータのための外部駆動型同期整流回路であって、

第1、第2巻線を有する第1変圧器であって、前記第2巻線は第1端子と第2端子とを含む第1変圧器と、

前記第1変圧器の前記第1端子に動作可能に接続される第1同期整流器と、

前記第1変圧器の前記第2端子に動作可能に接続される第2同期整流器と、

タイミング回路と第2変圧器とを有する外部駆動回路であって、前記第2変圧器は第1、第2の第2変圧器の巻線を含み、前記第2の第2変圧器の巻線は第1端子と第2端子とを有する外部駆動回路と、

前記同期整流器の各々の入力キャパシタンスの充放電に係るエネルギー損失を回復するエネルギー回復回路と、

外部出力端子と、

を備えることを特徴とする外部駆動型同期整流回路。

【請求項2】 ゲートを有する第1スイッチであって、電圧源に結合される第1スイッチと、

ゲートを有する第2スイッチであって、電圧源に結合される第2スイッチと、

前記第1スイッチの前記ゲートと前記第2変圧器の前記第2巻線の前記第1端子との間に直列接続される第1抵抗と、

前記第2スイッチの前記ゲートと前記第2変圧器の前記第2巻線の前記第2端子との間に直列接続される第2抵抗と、

を更に備えることを特徴とする請求項1に記載の外部駆動型同期整流回路。

【請求項3】 前記エネルギー回復回路は、

リターン電圧に接続される第1ダイオードと、

前記第1ダイオードと前記第1同期整流器とに接続される第2ダイオードと、

前記リターン電圧端子に接続される第3ダイオードと、

前記第3ダイオードと前記第2同期整流器の前記ゲートとに接続される第4ダイオードとを備え、

前記第1、第3ダイオードは、前記第1、第2同期整流器にかかる電圧を調整

【請求項8】 前記第1同期整流回復回路は、前記第1同期整流器に動作可能に接続される第1の第1同期整流器ダイオードを備え、前記第1の第1同期整流器ダイオードは前記第1同期整流器にかかる電圧を調整することを特徴とする請求項7に記載の外部駆動型同期整流回路。

【請求項9】 前記第2同期整流回復回路は、前記第2同期整流器に動作可能に接続される第1の第2同期整流器ダイオードを備え、前記第1の第2同期整流器ダイオードは前記第1同期整流器にかかる電圧を調整することを特徴とする請求項7に記載の外部駆動型同期整流回路。

【請求項10】 前記第1同期整流回復回路は、

前記第1回復スイッチに結合される第1共振インダクタと、

前記第1共振インダクタに直接接続される第2の第1同期整流器ダイオードとを更に備え、

前記第1同期整流器からのエネルギーは前記第1共振インダクタに蓄えられ、前記第2の第1同期整流器ダイオードは、前記エネルギーが前記第1同期整流器に戻ることを防ぎ、前記エネルギーが往復して流れることによりエネルギー損失が生じることを防ぐことを特徴とする請求項8に記載のエネルギー回復回路。

【請求項11】 前記第2同期整流回復回路は、

前記第2回復スイッチに結合される第2共振インダクタと、

前記第2共振インダクタに直列接続される第2の第2同期整流器ダイオードとを更に備え、

前記第2同期整流器からのエネルギーは前記第1共振インダクタに蓄えられ、前記第2の第2同期整流器ダイオードは、前記エネルギーが前記第2同期整流器に戻ることを防ぎ、前記エネルギーが往復して流れることによりエネルギー損失が生じることを防ぐことを特徴とする請求項9に記載のエネルギー回復回路。

【請求項12】 前記第1、第2回復スイッチに接続されるストレージインダクタと、

前記ストレージインダクタに直列接続される出力ダイオードであって、エネルギーが前記第1、第2回復スイッチに戻ることを防ぐ出力ダイオードとを更に備え、

することを特徴とする請求項2に記載の外部駆動型同期整流回路。

【請求項4】 前記エネルギー回復回路は、

前記第2変圧器の前記第1端子に動作可能に接続される第1回復スイッチと、

前記第2変圧器の前記第2端子に動作可能に接続される第2回復スイッチと、

エネルギーが蓄えられる前記第4ダイオードと前記第1回復スイッチとに直列接続される第1インダクタと、

エネルギーが蓄えられる前記第2ダイオードと前記第3回復スイッチとに直列接続される第2インダクタと、

を更に備えることを特徴とする請求項3に記載の外部駆動型同期整流回路。

【請求項5】 前記変圧器の前記第2巻線の前記第1端子と、前記出力電圧端子と、前記出力電圧端子に並列接続されるキャパシタとに直接接続される第3のインダクタを更に備えることを特徴とする請求項1に記載の外部駆動型同期整流回路。

【請求項6】 前記第1変圧器の前記第2巻線に接続されるセンタータップであって、前記第3インダクタに直接接続されるセンタータップを更に備えることを特徴とする請求項1に記載の外部駆動型同期整流回路。

【請求項7】 第1、第2同期整流器と、第1、第2スイッチと、第1、第2抵抗と、第1、第2変圧器と、巻線を有するインダクタと、出力キャパシタと、正の端子とリターン端子とを有する出力端子とを含む外部駆動型同期整流回路であって、

ゲートを有する第1回復スイッチと、前記第2変圧器の前記第1端子に結合される前記第1回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第1同期整流回復回路と、

ゲートを有する第2回復スイッチと、前記第2変圧器の前記第2端子に結合される前記第2回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第2同期整流回復回路とを備え、

前記第1、第2同期整流器を放電するために必要な前記第1、第2同期整流器の前記入力キャパシタンスエネルギーは回復されることを特徴とする外部駆動型同期整流回路。

前記第1、第2同期整流器からの前記エネルギーは、前記同期整流回路によって利用される前記ストレージインダクタに転送されることを特徴とする請求項7に記載のエネルギー回復回路。

【請求項13】 前記第1、第2回復スイッチの前記タイミングは、前記第1、第2抵抗により作用されることを特徴とする請求項7に記載のエネルギー回復回路。

【請求項14】 前記第1の第1同期整流器ダイオードに接続される第1回復抵抗と、

前記第1の第2同期整流器ダイオードに接続される第2回復抵抗とを備え、

前記第1、第2同期整流器にかかる前記電圧は、前記第1の第1同期整流器ダイオード及び前記第1の第2同期整流器ダイオードから逆方向に流れる電流の効果を低減するよう制御されることを特徴とする請求項7に記載のエネルギー回復回路。

【請求項15】 前記第1同期整流器及び前記第2の第1同期整流器ダイオードとの間に接続される第4回復スイッチとを更に備え、

前記第1及び同期整流器にかかる前記電圧は前記供給電圧とは異なる電圧に制限されることを特徴とする請求項7に記載のエネルギー回復回路。

【請求項16】 前記第3、第4回復スイッチは、ゲートを有するMOSFETを含み、前記ゲートは電圧源に接続されることを特徴とする請求項15に記載のエネルギー回復回路。

【請求項17】 インダクタL_oのための第1補助巻線を更に備え、前記第1、第2同期整流器を充電するために必要な前記第1、第2同期整流器の前記入力キャパシタンスエネルギーは回復されることを特徴とする請求項7に記載のエネルギー回復回路。

【請求項18】 前記第1補助巻線は前記出力端子の前記リターン端子に接続されることを特徴とする請求項7に記載のエネルギー回復回路。

【請求項19】 前記出力インダクタ巻線も接続される第1充電ダイオードと、

前記第1補助巻線に接続される第2充電ダイオードとを更に備えることを特徴

とする請求項17に記載のエネルギー回復回路。

【請求項20】 前記補助巻線は脈動電源を備え、前記脈動電源は前記第1、第2同期整流器のための適切な充電パルスを提供することを特徴とする請求項17に記載のエネルギー回復回路。

【請求項21】 前記補助巻線は前記出力端子の前記正の端子に接続され、前記補助巻線の巻線数は低電圧同期整流回路のために減らされることを特徴とする請求項20に記載のエネルギー回復回路。

【請求項22】 前記第1、第2回復スイッチに接続される補助巻線ダイオードと、

前記補助巻線ダイオードに直列接続される第2キャパシタと、
を備えることを特徴とする請求項21に記載のエネルギー回復回路。

【請求項23】 第2補助巻線を更に備え、
前記エネルギー回復回路は半波整流器として適用可能であることを特徴とする請求項17に記載のエネルギー回復回路。

【請求項24】 前記第2回復スイッチに直列接続され、かつ、前記出力インダクタ巻線に接続される第1補助ダイオードと、

前記第1回復スイッチに直列接続され、かつ、前記第2補助巻線に接続される第2補助ダイオードと、

を更に備えることを特徴とする請求項23に記載のエネルギー回復回路。

【請求項25】 第1、第2同期整流器と、第1、第2スイッチと、第1、第2抵抗と、第1、第2変圧器と、巻線を有するインダクタと、出力キャパシタと、正の端子とリターン端子とを有する出力端子とを含む外部駆動型同期整流回路であって、

ゲートを有する第1回復スイッチと、前記第2変圧器の前記第1端子に結合される前記第1回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第1同期整流回復回路と、

ゲートを有する第2回復スイッチと、前記第2変圧器の前記第2端子に結合される前記第2回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第2同期整流回復回路とを備え、

【発明の詳細な説明】

【0001】

発明の属する技術分野

本発明は、主にDC-DCコンバータに関するものであり、特に、外部駆動回路を用いた同期整流器のための共振ゲート駆動装置に関するものである。

【0002】

発明の背景

論理集積回路 (IC) が、より高い動作周波数を求めて、より低い動作電圧に移行するにつれ、システム全体の大きさは減少し続けており、より小さくて高効率の電力モジュールを備える電力供給設計が要求されている。効率を向上させ、電力効率を上げるためには、同期整流がこれらのタイプの適用に必要となる。同期整流は、低電圧半導体デバイスが進歩して、この同期整流が実行可能な技術となったので、ここ10年間で大きく普及が進んできている。しかしながら、動作周波数の増加に伴って、スイッチング損失が重要視されている。

【0003】

同期整流を用いて適用するには、整流器の入力キャパシタンスの充電によって失われるエネルギーが問題となりうる。同期整流を最大限に活かすためには、ドレインからソースまでの抵抗が低い素子を選択する必要がある。しかしながら、ドレインからソースまでの抵抗が低いと、通常、比較的大きなダイと大きな入力キャパシタンスを持つデバイスとなってしまう。さらに、入力キャパシタンスは、ナノ秒で充電される必要がある。これは、動作周波数が増加するにつれて、ゲート駆動型回路に係る損失が問題となることを意味する。

【0004】

電流及び電圧のオーバーラップによるスイッチング損失、及び、典型的な半導体デバイスの出力キャパシタンスによるスイッチング損失を低減するために、諸形態が提案されている。"A MOS gate drive with resonant transitions", IEEE PESC 91 Conference Proceedings, PP. 527-532, D. Maksimovic では、準方形波電力変換に基づいて駆動する共振ゲートが示されている。この解決方法は、低損失でMOS型デバイスの入力キャパシタンスを充電するための方法を提供し

前記第1、第2同期整流器を充電するために必要な前記第1、第2同期整流器の前記入力キャパシタンスエネルギーは回復され、かつ、前記エネルギー回復回路は降圧型コンバータとして適用可能であることを特徴とする外部駆動型同期整流回路。

【請求項26】 前記第1同期整流器に接続される第1ダイオードと、

前記第2同期整流器に接続される第2ダイオードと、

前記第1同期整流器に制御可能に接続される第3ダイオードと、

前記第2回復スイッチに接続される第4ダイオードと、

前記第3ダイオードと前記第1回復スイッチとの間に直接接続される第1インダクタと、

前記第2同期整流器の前記ゲートと前記第4ダイオードとの間に直接接続される第2インダクタと、

を更に備えることを特徴とする請求項25に記載のエネルギー回復回路。

【請求項27】 前記出力端子に接続される補助巻線と、

前記電圧端子に直接接続される出力ダイオードと、

を更に備えることを特徴とする請求項26に記載のエネルギー回復回路。

【請求項28】 第1、第2同期整流器と出力端子とを有する自己駆動型同期整流回路を利用した、第1、第2スイッチと少なくとも1つのストレージインダクタを含むエネルギー回復回路のためのエネルギー回復方法であって、

前記少なくとも1つのストレージインダクタで前記同期整流器のキャパシタンスのエネルギーを取り込む工程と、

前記少なくとも1つのストレージインダクタから出力へ前記同期整流器のキャパシタンスのエネルギーを転送する工程とを含むエネルギー回復方法。

【請求項29】 前記同期整流器のキャパシタンスのエネルギーを取り込む前記工程は、前記同期整流器を充電するエネルギーを取り込む工程を含むことを特徴とする請求項28に記載のエネルギー回復方法。

【請求項30】 前記同期整流器のキャパシタンスのエネルギーを取り込む前記工程は、前記同期整流器を放電するエネルギーを取り込む工程を含むことを特徴とする請求項28に記載のエネルギー回復方法。

ているが、多くの電流が流れるという点が犠牲になっている。ゼロ電圧スイッチングされた (ZVS) 準共振コンバータ (QRC) に基づいた同様の発想が "Novel High Efficiency Base Drive Using Zero Voltage Switching Converter", IEEE PESC 91 Conference Proceedings, pp. 545-550 by H.S. Kim et al. and B.S. Jacobson に示されており、"High Frequency Resonant Gate Driver With Partial Energy Recovery", High Frequency Power Conversion Conference Proceedings 1993, pp. 133-141では、エネルギーの充電電の一部が回復される3番目の解決方法を示している。最初の2つ (2) の解決方法は、充電電のエネルギーの大部分が回復されるレベルの効率までには及ばない。3番目の解決方法は、その基本動作のために、メガヘルツ領域でのスイッチング周波数により適しているため、結果として同期整流回路での使用を制限する。必要とされるものは、流れているエネルギーの多くを失うことなく、メガヘルツ領域外のスイッチング周波数を用いても効率のよい使用が可能である外部駆動型同期整流回路のための共振ゲート駆動装置である。

【0005】

本発明は、同期整流器 (非自己駆動型での適用) を駆動するために必要な外部駆動回路の適用に使用可能である新しいゲート駆動装置の構造に関するものである。

【0006】

発明の概要

本発明は、あらゆるタイプの形態に容易に適用可能な外部駆動型同期整流方式を利用した共振ゲート駆動装置として、技術的な利点を得る。

【0007】

第1の実施の形態によれば、DC-DC電力コンバータのための外部駆動型同期整流回路の共振ゲート駆動装置が開示されている。同期整流回路は、第2変圧器と、第1、第2同期整流器と、第1変圧器と、出力端子とを有する外部駆動回路によって構成される。共振ゲート駆動装置は、同期整流器の各々のためのエネルギー回復回路を含む。回復回路の各々は、第1、第2同期整流器ダイオードと、回復スイッチと、共振インダクタとで構成される。第1同期整流器ダイオードは

、同期整流器にかかる電圧を調整するよう構成される。共振インダクタは、同期整流器の入力キャパシタンスを充電するときに逃げるエネルギーを蓄えるために用いられる。第2同期整流器ダイオードは、ある条件下で、同期整流器にエネルギーが戻るのを防ぐために、共振インダクタと同期整流器との間に結合される。共振インダクタは、共振インダクタに蓄えられたエネルギーを出力に転送する回復スイッチに結合され、その結果、同期整流回路をよりエネルギー効率の高いものとする。

【0008】

第2の実施の形態によれば、各々の整流器のためのエネルギー回復回路は、回復回路の第1同期整流器ダイオードに結合される付加的な抵抗を含む。付加的な抵抗は、第1同期ダイオードを通して逆方向に電流が流れる状態で、回路が正しく動作することを保証する。その結果、不正確な時間で再度ターンオンする同期整流器の入力キャパシタンスを再充電する。抵抗を追加することによって、同期整流器のゲートにかかる電圧はゼロよりも下に振れることが可能となり、逆方向電流の原因となる。

【0009】

第3の実施の形態によれば、エネルギー回復のための回路は、同期整流器にかかる電圧を同期整流器の入力電圧とは異なる値に制限するために、N型MOSFETを用いる。

【0010】

第4の実施の形態によれば、エネルギー回復のための回路は、ゲートキャパシタンスを充電するエネルギーが回復されるように、同期整流器のゲートキャパシタンスを充電するための補助巻線を用いる。補助巻線によって、同期整流器のための適正な充電パルスが容易に実現できる。

【0011】

また、外部駆動型同期整流回路のエネルギーを回復する方法を開示している。この方法は、少なくとも1つのインダクタで同期整流器の入力キャパシタンスからエネルギーを取り込む工程と、回復スイッチがターンオフしているときに、ストレージインダクタから出力エネルギーを転送する工程とを含む。この方法は、同期

共振インダクタ L_{R1} 、 L_{R2} 、及び、4個のダイオード $D1$ 、 $D2$ 、 $D3$ 、 $D4$ によって構成される。共振インダクタ L_{R1} 、 L_{R2} 、及び、ダイオード $D1$ 、 $D2$ 、 $D3$ 、 $D4$ は、第1同期整流器 $SQ1$ 及び $SQ2$ を放電するときに発生するエネルギーを蓄えるために用いられる。共振インダクタ L_{R1} 、 L_{R2} からエネルギーを外部端子 V_{out} へ転送するために、共振インダクタ L_{R1} 、 L_{R2} は、回復スイッチ $SQ3$ 及び $SQ5$ に結合される。次に、回復スイッチ $SQ3$ 及び $SQ5$ は、外部端子 V_{out} へ結合される。あらゆる駆動の相互伝導エネルギー及び共振インダクタ L_{R1} 、 L_{R2} に蓄えられる全てのエネルギーは、回復スイッチ $SQ3$ 及び $SQ4$ に転送され、次に、外部端子に転送される。その結果、更にエネルギー効率の高い回路が提供される。本実施形態において、同期整流器の入力キャパシタンスを充電するために必要なエネルギーは、いかなる方法でも回復されない。

【0016】

図2Bは、第1同期整流器 $SQ1$ の放電からエネルギーを回復するための本発明の動作を表す基本的な波形を示す図である。時間 $T0$ より前では、両方の同期整流器がオンしており、短絡された第2巻線及び同期整流器 $SQ1$ 、 $SQ2$ を通して、負荷電流が自由に流れる。時間 $T0$ では、第1巻線11から来た信号が回復スイッチ $SQ3$ をターンオンする。スイッチ $SQ4$ はオンしたままなので、共振インダクタ L_{R1} を通じた電流は増加する。時間 $T1$ では、スイッチ $SQ4$ はターンオフし、 L_{R1} を通じた電流は、同期整流器 $SQ1$ の入力キャパシタンスを放電し始める。この段階では、インダクタ L_{R1} は、共振によって同期整流器の入力キャパシタンスを放電する。スイッチ $SQ3$ は、このエネルギーを出力端子 V_{out} へ転送する。この共振によって、共振インダクタ L_{R1} がリセットすると、第1同期整流器 $SQ1$ のゲートにかかる電圧はグラウンドよりも下に低下する。ダイオード $D1$ はこの電圧が負に振れるのを防ぐために設けられている。

【0017】

時間 $T2$ では、共振インダクタ L_{R1} はリセットされ、ダイオード $D2$ は共振インダクタと第1同期整流器 $SQ1$ との接続を断つ。両方の回復スイッチ $SQ3$ 及びスイッチ $SQ4$ は、同一の信号によって駆動されているので、回復スイッチ

整流器を充電するために必要なエネルギーを回復する工程を含む。

【0012】

好適な実施の形態の詳細な説明

以下は本発明の構成及び方法の説明である。最初に、従来技術の回路について議論し、その後、本発明のいくつかの好適な実施形態及び他の実施形態の説明、及びその利点についての議論が続く。

【0013】

図1は、従来技術におけるハードウェアによりスイッチングされる全ブリッジコンバータのための外部駆動型同期整流器の構成を示す図であり、概して10とラベル付けしている。ここでは、同期整流器 $SQ1$ 及び $SQ2$ 、第1、第2巻線11、12をそれぞれ備えた変圧器 T_x 、インダクタ L_o 、キャパシタ C_o 、及び外部駆動回路16が示されている。 $SQ1$ 及び $SQ2$ は、変圧器 T_x の第2巻線12に結合される。同期整流器 $SQ1$ 及び $SQ2$ は、外部駆動回路の変圧器 T_s に結合され、同期整流器 $SQ1$ 及び $SQ2$ のためのターンオン信号及びターンオフ信号を提供する必要なタイミング信号を駆動する。

【0014】

従来技術における例が図1に示されている。同期整流器 $SQ1$ 及び $SQ2$ の各々の入力キャパシタンスの充電に伴う電力損失は、 $f_s \cdot C_{iss} \cdot e \cdot q \cdot V_{gs2}$ 以上である。ここで、 f_s は動作周波数、 $C_{iss} \cdot e \cdot q$ は同期整流器 $SQ1$ 及び $SQ2$ の等価入力キャパシタンス、 V_{gs} はこのキャパシタンスが充電される電圧を示す。 $C_{iss} \cdot e \cdot q$ の充電に伴う電力損失は取り戻されない、すなわち、整流回路10は全体的に見て非効率である。従って、必要とされるものは、第1同期整流器 $SQ1$ 及び第2同期整流器 $SQ2$ の入力キャパシタンス $C_{iss} \cdot e \cdot q$ の充電に伴うエネルギーを回復する方法である。

【0015】

図2Aは、本発明に係り、エネルギー回復回路20を備える共振ゲート駆動装置を用いた同期整流回路18を示す図である。本発明は、放電を開始すると、同期整流器 $SQ1$ 及び $SQ2$ の等価キャパシタンス $C_{iss} \cdot e \cdot q$ に蓄えられたエネルギーを回復する。図に示されるように、エネルギー回復回路20は、2個の小型の

$SQ3$ のターンオンと回復スイッチ $SQ4$ のターンオフとの間の遅延は、抵抗 $R1$ 及びスイッチ $SQ4$ の入力キャパシタンスの値によって制御される。回復スイッチ $SQ5$ 及び共振インダクタ L_{R2} の動作は、上述の方法と同様にして動作し、第2同期整流器 $SQ2$ の放電からのエネルギーを回復する。

【0018】

最も実用的な例では、共振インダクタ L_{R1} 、 L_{R2} を通る電流は、0に戻るように減少し、ダイオード $D2$ 、 $D4$ は直ぐにはターンオフせず、電流はダイオード $D2$ 、 $D4$ を通して逆方向に流れる（これは逆方向回復効果である）。その結果、同期整流器 $SQ1$ 、 $SQ2$ の入力キャパシタンスは再充電される。このキャパシタンスは、1ボルトを超えて再充電される場合には、同期整流器 $SQ1$ 、 $SQ2$ は再びターンオンしようとして、動作不良が生じる。この効果を最小限に抑えるために、図3に示すように、共振インダクタ L_{R1} 、 L_{R2} の代わりに、飽和可能なインダクタを用いるか、または、抵抗 $R3$ 、 $R4$ をダイオード $D1$ 及び $D3$ に直列にそれぞれ設置してもよい。抵抗 $R3$ 、 $R4$ を追加することによって、同期整流器 $SQ1$ 、 $SQ2$ にかかる電圧は、グラウンドよりも下に振れることができる。その結果、同期整流器 $SQ1$ 、 $SQ2$ の入力キャパシタンスが再充電されると、ダイオード $D2$ 、 $D3$ での逆回復効果によって、同期整流器 $SQ1$ 、 $SQ2$ にかかる電圧はグラウンドよりも下にとどまる。これによって、共振整流回路30のためのエネルギー回復回路の正常な動作が保証される。

【0019】

2つの共振回路網が融合する場合であっても、図4の共振整流回路に示すように、2つの共振回路網が1つに融合される場合には、本発明によって提供される性能とほとんど同程度の性能が得られる。図に示されるように、回復スイッチ $SQ3$ 及び $SQ5$ の駆動に伴って遅延がさらに加わる。これは、回復スイッチ $SQ3$ 及び $SQ5$ は、共振インダクタ L_{R1} を通してターンオンされる必要があるからである。抵抗 $R1$ 、 $R2$ は、この遅延を補うために容易に再設計可能であり、その結果、同期整流回路40のための適切なタイミング信号を保証する。

【0020】

いくつかの適用例では、第2供給電圧 V_{ccs} によって与えられる電圧とは異

なる電圧を、同期整流器SQ1、SQ2にかける必要がある場合がある。この異なる電圧は、図5に示すような2個のN型MOSFETをさらに追加することによって提供される。図5では、 V_{ccs2} は V_{ccs} よりも低い値を持つので、その結果、同期整流器SQ1、SQ2にかかる電圧の充電を制限する。

【0021】

本発明の前述の実施形態では、同期整流器SQ1、SQ2の放電のみが低損失で実現される（すなわち放電によるエネルギーは出力端子Voutにそのエネルギーが転送されることによって回復される）。また、低損失で同期整流器SQ1、SQ2のゲートキャパシタンスを充電することも好ましいのであれば、図6Aに示すように、同期整流器SQ1、SQ2のための適正な充電パルスを与えるために、付加的な巻線50が出力インダクタLoに追加されてもよい。図6Bに示すのは、図6Aに示される同期整流回路60の動作を表す典型的な波形である。今度は、駆動装置は、出力インダクタLo中の補助巻線50によって提供される脈動電源から駆動されることに留意することが重要である。この脈動電源によって、同期整流器SQ1、SQ2のゲートキャパシタンスは低損失で充電される。

【0022】

低電圧の適用に対しては、出力インダクタLo中の補助巻線50は多数の巻線を持っているので非実用的である。補助巻線中の巻線数を減少させるためには、図7A及び図7Bに示す本発明の実施の形態を用いられよう。特に、同期整流回路70では、図6Aに示される電圧端子Voutのリターンに補助巻線50を結合するのとは対照的に、補助巻線50は電圧端子Voutの正の側に結合される。これによって、補助巻線の巻線数を減少できる。

【0023】

図7Bに示される同期整流回路では、脈動電源の電圧は負に振れる必要はない。補助巻線の巻線比が $1/(1-V_o \times N/V_{in})$ よりも小さく、Nが第1変圧器の巻線比である場合には、脈動電源の電圧は常に正である。この条件に対して、同期整流器SQ1、SQ2の入力キャパシタンスを低損失で適切に充電することはできない。しかしながら、この条件下でも、同期整流器SQ1、SQ2のキャパシタンスの放電に伴う損失は、実質的に減少される。さらに、この補助巻

て、付属の特許請求の範囲は、このようなあらゆる変更または具体化を包含することを意味する。

【0028】

本発明の前述の特徴は、添付の図面に係る以下の説明を考慮してより明確に理解されよう。

【0029】

異なる図面における同様の数字や符号は、指示のない限り同様の部分を示すものとする。

【図面の簡単な説明】

【図1】

外部駆動型同期整流器を備えた従来技術のハードスイッチングされた全ブリッジコンバータを示す図である。

【図2A】

本発明の実施形態を用いた外部駆動型同期整流器を備える全波整流器を示す図である。

【図2B】

プッシュプル式の形態のための外部駆動型同期整流器の電圧波形を示す図である。

【図3】

逆方向回復制限抵抗を備える本発明の実施の形態に係る外部駆動型同期整流器を示す図である。

【図4】

2つの共振回路網が融合する場合の本発明の実施の形態に係る外部駆動型同期整流器を示す図である。

【図5】

電圧制限MOSFETを備える本発明の第2の実施の形態を示す図である。

【図6A】

補助出力インダクタ巻線を備える本発明の第3の実施の形態を示す図である。

【図6B】

線50をグラウンドを基準としないことによって、短路回路の状態で駆動能力が失われることがない。

【0024】

全波整流器のための共振ゲート駆動装置の実施形態が示された。しかしながら、本発明は半波整流器及び隔離されていない形態の実装に対して適用可能である。図8は、半波整流器用のための共振ゲート駆動装置の実施形態を示す図である。第2補助巻線52が半波整流器に対する本発明の適用を容易にするために追加される。さらにまた、両方の共振回路網は結合可能であり、補助巻線50、52は上述の回路中の異なる位置を基準とする。

【0025】

隔離されたステージを持たない降圧コンバータ90（通降コンバータ）のための主スイッチ及び同期整流器SQ1、SQ2の入力キャパシタンスに蓄えられた放電エネルギーの回復も、本発明の実施の形態を用いて実現可能である。この実施の形態は図9Aに示される。同期整流器SQ1、SQ2の入力キャパシタンスも図9Bに示すように低損失で充電されるのが好ましい。

【0026】

ここに示した新しい共振ゲート駆動装置によって、同期整流器SQ1、SQ2を充電するとき生じるエネルギーを効率よく回復する利点が得られる。本発明のもう一つの利点は、回路を流れる大量のエネルギーを回復できることである。本発明のさらにもう一つの利点は、広範囲のスイッチング周波数において効率よく用いられることである。本発明のさらに他の利点は、様々なタイプのコンバータ形態に本発明を適用可能であることである。

【0027】

本発明は、例示的な実施形態を参照して記述したが、この記述は限定的に解釈されることを意図するものではない。本発明の他の実施形態はもちろん、例示的な実施形態の組み合わせによる様々な変更は、説明を参照することによって、当業者には明白である。同期整流器SQ1、SQ2及びスイッチSQ3、SQ4、SQ5、SQ6は、MOSFETとして示されているが、他のタイプのFETまたはスイッチングデバイスが本発明の利用に適応可能であると考えられる。従っ

図7Aに示す共振ゲート駆動装置の動作を表す典型的な波形を示す図である。

【図7A】

補助出力インダクタ巻線を備える本発明の第4の実施の形態を示す図である。

【図7B】

補助出力インダクタ巻線を備える本発明の第5の実施の形態を示す図である。

【図8】

本発明を用いた典型的な半波整流器の一例を示す図である。

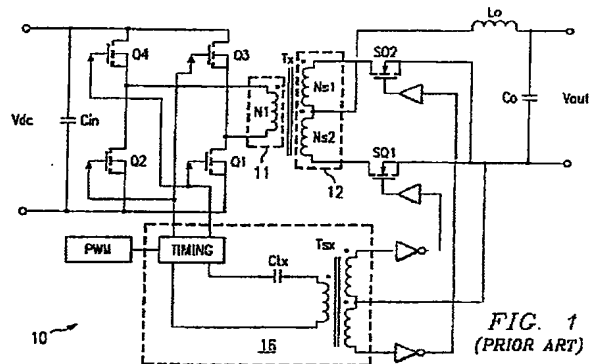
【図9A】

本発明を用いた降圧型コンバータの一例を示す図である。

【図9B】

本発明を用いた降圧型コンバータのもう一つ例を示す図である。

【図1】



【図2A】

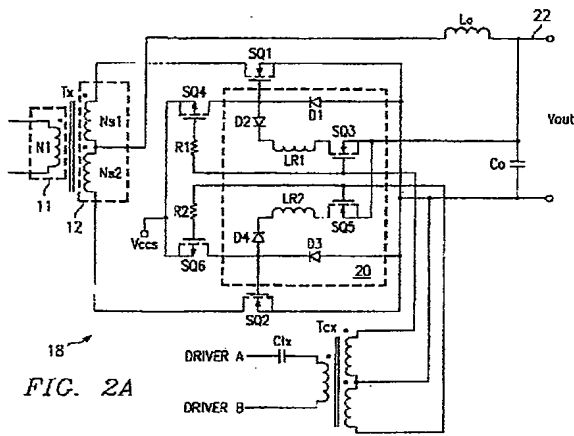


FIG. 2A

【図3】

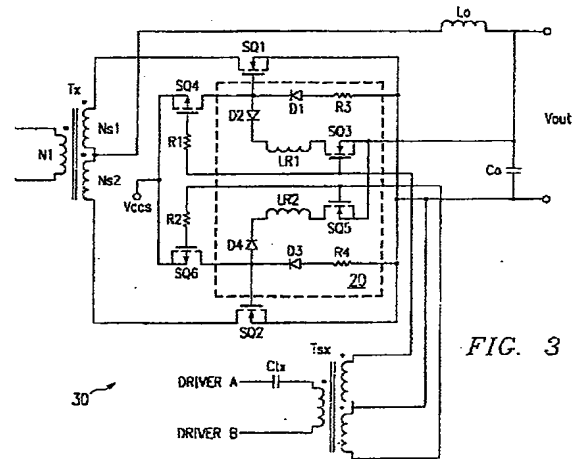


FIG. 3

【図2B】

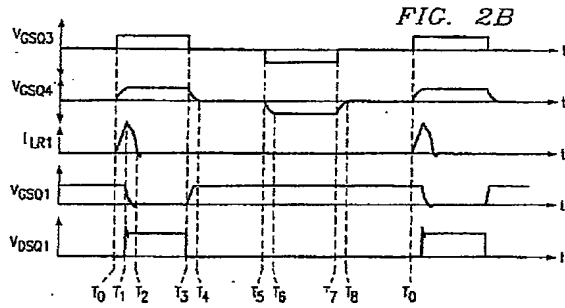


FIG. 2B

【図4】

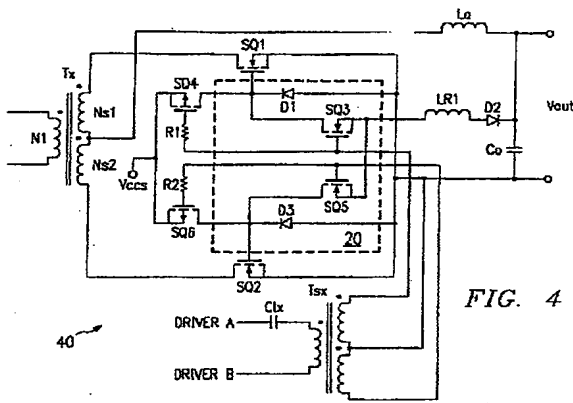


FIG. 4

【図5】

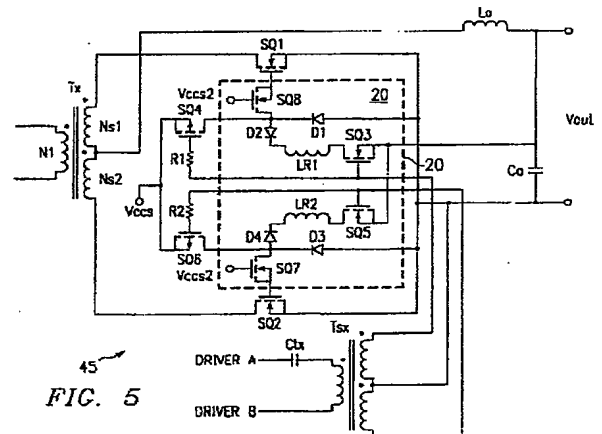
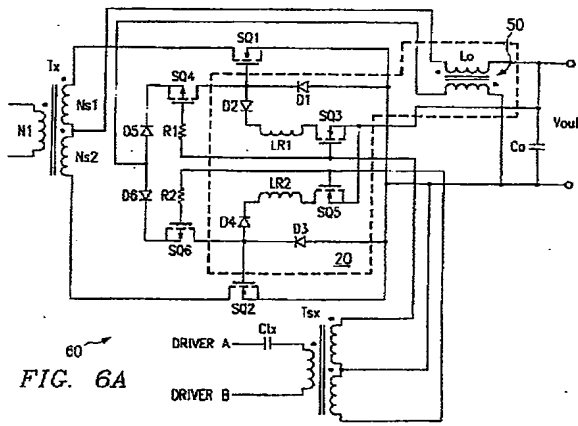
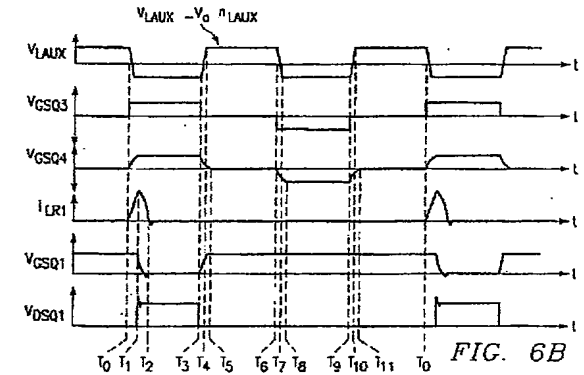


FIG. 5

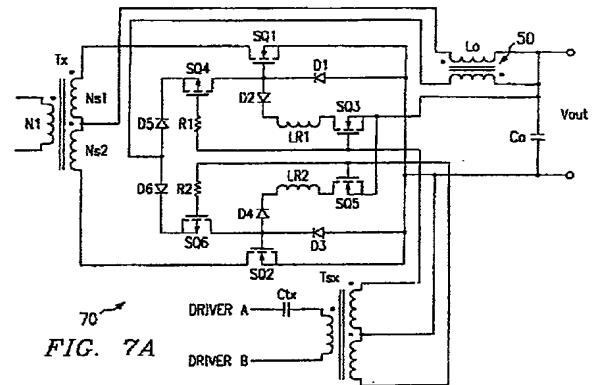
【図 6A】



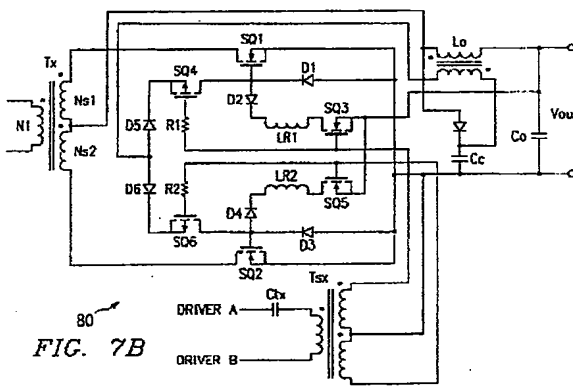
【図 6B】



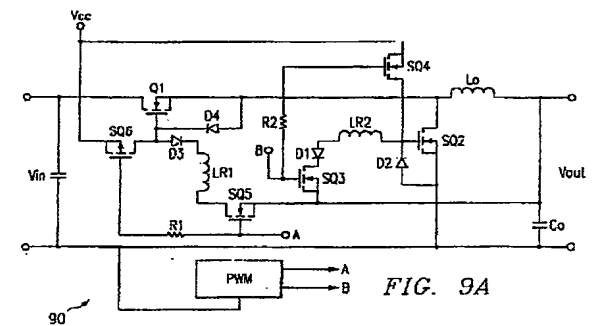
【図 7A】



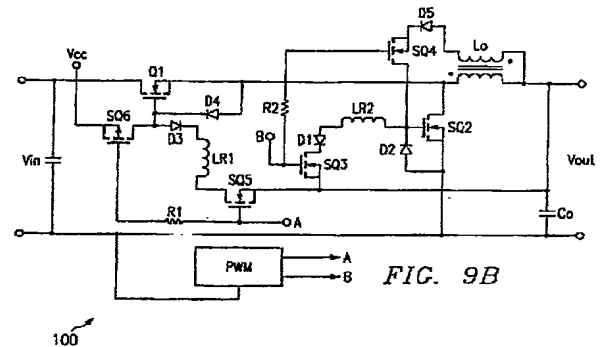
【図 7B】



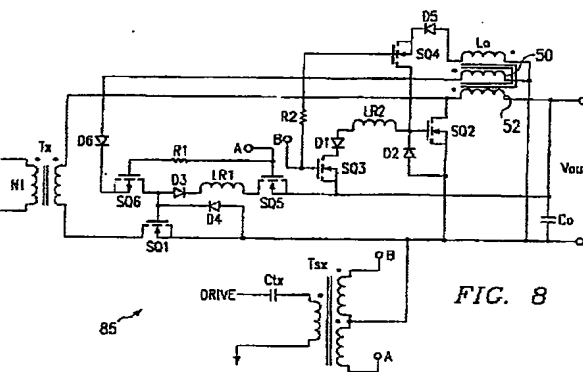
【図 9A】



【図 9B】



【図 8】



【手続補正書】特許協力条約第34条補正の翻訳文提出書
 【提出日】平成13年12月12日（2001.12.12）
 【手続補正1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項1】 第1、第2同期整流器と、第1、第2スイッチと、第1、第2抵抗と、第1、第2変圧器と、巻線を有するインダクタと、出力キャパシタと、正の端子とリターン端子とを有する出力端子とを含む外部駆動型同期整流回路であって、

ゲートを有する第1回復スイッチと、前記第2変圧器の前記第1端子に結合される前記第1回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第1同期整流回復回路と、

ゲートを有する第2回復スイッチと、前記第2変圧器の前記第2端子に結合される前記第2回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第2同期整流回復回路とを備え、

前記第1、第2同期整流器を放電するために必要な前記第1、第2同期整流器の前記入力キャパシタンスエネルギーは回復されることを特徴とする外部駆動型同期整流回路。

【請求項2】 前記第1同期整流回復回路は、前記第1同期整流器に動作可能に接続される第1の第1同期整流器ダイオードを備え、前記第1の第1同期整流器ダイオードは前記第1同期整流器にかかる電圧を調整することを特徴とする請求項1に記載の外部駆動型同期整流回路。

【請求項3】 前記第2同期整流回復回路は、前記第2同期整流器に動作可能に接続される第1の第2同期整流器ダイオードを備え、前記第1の第2同期整流器ダイオードは前記第1同期整流器にかかる電圧を調整することを特徴とする請求項1に記載の外部駆動型同期整流回路。

前記第1の第2同期整流器ダイオードに接続される第2回復抵抗とを備え、

前記第1、第2同期整流器にかかる前記電圧は、前記第1の第1同期整流器ダイオード及び前記第1の第2同期整流器ダイオードから逆方向に流れる電流の効果を低減するよう制御されることを特徴とする請求項1に記載のエネルギー回復回路。

【請求項9】 前記第1同期整流器及び前記第2の第1同期整流器ダイオードとの間に接続される第4回復スイッチとを更に備え、

前記第1及び同期整流器にかかる前記電圧は前記供給電圧とは異なる電圧に制限されることを特徴とする請求項1に記載のエネルギー回復回路。

【請求項10】 前記第3、第4回復スイッチは、ゲートを有するMOSFETを含み、前記ゲートは電圧源に接続されることを特徴とする請求項9に記載のエネルギー回復回路。

【請求項11】 インダクタL_oのための第1補助巻線を更に備え、前記第1、第2同期整流器を充電するために必要な前記第1、第2同期整流器の前記入力キャパシタンスエネルギーは回復されることを特徴とする請求項1に記載のエネルギー回復回路。

【請求項12】 前記第1補助巻線は前記出力端子の前記リターン端子に接続されることを特徴とする請求項11に記載のエネルギー回復回路。

【請求項13】 前記出力インダクタ巻線も接続される第1充電ダイオードと、

前記第1補助巻線に接続される第2充電ダイオードとを更に備えることを特徴とする請求項11に記載のエネルギー回復回路。

【請求項14】 前記補助巻線は脈動電源を備え、前記脈動電源は前記第1、第2同期整流器のための適切な充電パルスを提供することを特徴とする請求項11に記載のエネルギー回復回路。

【請求項15】 前記補助巻線は前記出力端子の前記正の端子に接続され、前記補助巻線の前記巻線数は低電圧同期整流回路のために減らされることを特徴とする請求項14に記載のエネルギー回復回路。

【請求項16】 前記第1、第2回復スイッチに接続される補助巻線ダイオ

ードと、
 前記補助巻線ダイオードに直列接続される第2キャパシタと、
 を備えることを特徴とする請求項15に記載のエネルギー回復回路。

【請求項4】 前記第1同期整流回復回路は、
 前記第1回復スイッチに結合される第1共振インダクタと、
 前記第1共振インダクタに直接接続される第2の第1同期整流器ダイオードとを更に備え、
 前記第1同期整流器からのエネルギーは前記第1共振インダクタに蓄えられ、前記第2の第1同期整流器ダイオードは、前記エネルギーが前記第1同期整流器に戻ることを防ぎ、前記エネルギーが往復して流れることによりエネルギー損失が生じることを防ぐことを特徴とする請求項2に記載のエネルギー回復回路。

【請求項5】 前記第2同期整流回復回路は、
 前記第2回復スイッチに結合される第2共振インダクタと、
 前記第2共振インダクタに直列接続される第2の第2同期整流器ダイオードとを更に備え、
 前記第2同期整流器からのエネルギーは前記第1共振インダクタに蓄えられ、前記第2の第2同期整流器ダイオードは、前記エネルギーが前記第2同期整流器に戻ることを防ぎ、前記エネルギーが往復して流れることによりエネルギー損失が生じることを防ぐことを特徴とする請求項3に記載のエネルギー回復回路。

【請求項6】 前記第1、第2回復スイッチに接続されるストレージインダクタと、
 前記ストレージインダクタに直列接続される出力ダイオードであって、エネルギーが前記第1、第2回復スイッチに戻ることを防ぐ出力ダイオードとを更に備え、
 前記第1、第2同期整流器からの前記エネルギーは、前記同期整流回路によって利用される前記ストレージインダクタに転送されることを特徴とする請求項1に記載のエネルギー回復回路。

【請求項7】 前記第1、第2回復スイッチの前記タイミングは、前記第1、第2抵抗により作用されることを特徴とする請求項1に記載のエネルギー回復回路。

【請求項8】 前記第1の第1同期整流器ダイオードに接続される第1回復抵抗と、
 ードと、
 前記補助巻線ダイオードに直列接続される第2キャパシタと、
 を備えることを特徴とする請求項15に記載のエネルギー回復回路。

【請求項17】 第2補助巻線を更に備え、
 前記エネルギー回復回路は半波整流器として適用可能であることを特徴とする請求項11に記載のエネルギー回復回路。

【請求項18】 前記第2回復スイッチに直列接続され、かつ、前記出力インダクタ巻線に接続される第1補助ダイオードと、
 前記第1回復スイッチに直列接続され、かつ、前記第2補助巻線に接続される第2補助ダイオードと、
 を更に備えることを特徴とする請求項17に記載のエネルギー回復回路。

【請求項19】 第1、第2同期整流器と、第1、第2スイッチと、第1、第2抵抗と、第1、第2変圧器と、巻線を有するインダクタと、出力キャパシタと、正の端子とリターン端子とを有する出力端子とを含む外部駆動型同期整流回路であって、
 ゲートを有する第1回復スイッチと、前記第2変圧器の前記第1端子に結合される前記第1回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第1同期整流回復回路と、
 ゲートを有する第2回復スイッチと、前記第2変圧器の前記第2端子に結合される前記第2回復スイッチの前記ゲートと、前記出力端子のエネルギー転送を開始する前記第1回復スイッチとを有する第2同期整流回復回路とを備え、
 前記第1、第2同期整流器を放電するために必要な前記第1、第2同期整流器の前記入力キャパシタンスエネルギーは回復され、かつ、前記エネルギー回復回路は降圧型コンバータとして適用可能であることを特徴とする外部駆動型同期整流回路。

【請求項20】 前記第1同期整流器に接続される第1ダイオードと、
 前記第2同期整流器に接続される第2ダイオードと、
 前記第1同期整流器に制御可能に接続される第3ダイオードと、
 前記第2回復スイッチに接続される第4ダイオードと、

前記第3ダイオードと前記第1回復スイッチとの間に直接接続される第1インダクタと、

前記第2同期整流器の前記ゲートと前記第4ダイオードとの間に直接接続される第2インダクタと、

を更に備えることを特徴とする請求項19に記載のエネルギー回復回路。

【請求項21】 前記出力端子に接続される補助巻線と、

前記電圧端子に直接接続される出力ダイオードと、

を更に備えることを特徴とする請求項20に記載のエネルギー回復回路。

【請求項22】 第1、第2同期整流器と出力端子とを有する自己駆動型同期整流回路を利用した、第1、第2スイッチと少なくとも1つのストレージインダクタを含むエネルギー回復回路のためのエネルギー回復方法であって、

前記少なくとも1つのストレージインダクタで前記同期整流器のキャパシタンスのエネルギーを取り込む工程と、

前記少なくとも1つのストレージインダクタから出力へ前記同期整流器のキャパシタンスのエネルギーを転送する工程とを含むエネルギー回復方法。

【請求項23】 前記同期整流器のキャパシタンスのエネルギーを取り込む前記工程は、前記同期整流器を充電するエネルギーを取り込む工程を含むことを特徴とする請求項22に記載のエネルギー回復方法。

【請求項24】 前記同期整流器のキャパシタンスのエネルギーを取り込む前記工程は、前記同期整流器を放電するエネルギーを取り込む工程を含むことを特徴とする請求項22に記載のエネルギー回復方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

電流及び電圧のオーバーラップによるスイッチング損失、及び、典型的な半導体デバイスの出力キャパシタンスによるスイッチング損失を低減するために、諸

る。

形態が提案されている。"A MOS gate drive with resonant transitions", IEE E PESQ 91 Conference Proceedings, pp. 527-532, D. Maksimovic では、準方形波電力変換に基づいて駆動する共振ゲートが示されている。この解決方法は、低損失でMOS型デバイスの入力キャパシタンスを充電するための方法を提供しているが、多くの電流が流れるという点が犠牲になっている。ゼロ電圧スイッチングされた(ZVS)準共振コンバータ(QRC)に基づいた同様の発想が"Novel High Efficiency Base Drive Using Zero Voltage Switching Converter", IEEE PESQ 91 Conference Proceedings, pp. 545-550 by H.S. Kim et al. に示されている。A power supply circuit disclosed in DE4315906A1 (17 November 1994)は外部駆動型DC-DC電力コンバータ中の整流器構造をスイッチングするための論理回路を用いている。電流分散構造を自由に流れる電流を制御するために使用される入力エネルギーを蓄えるために誘導性ストレージ素子が用いられている。これらの解決方法は、充放電のエネルギーの大部分が回復されるレベルの効率までには及ばない。B.S. Jacobson に示されており、"High Frequency Resonant Gate Driver With Partial Energy Recovery", High Frequency Power Conversion Conference Proceedings 1993, pp. 133-141では、充放電エネルギーの一部が回復される解決方法を示している。この解決方法は、その基本動作のために、メガヘルツ領域でのスイッチング周波数により適しているため、結果として同期整流回路での使用を制限する。必要とされるものは、流れているエネルギーの多くを失うことなく、メガヘルツ領域外のスイッチング周波数を用いても効率のよい使用が可能である外部駆動型同期整流回路のための共振ゲート駆動装置である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明は、同期整流器（非自己駆動型での適用）を駆動するために必要な外部駆動回路の適用に使用可能である新しいゲート駆動装置の構造に関するものであ

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW

Fターム(参考) 5H006 AA02 CA02 CB07 DB01
5H730 AA14 AS01 BB13 BB27 BB57
DD04 DD26 EE13 FG05 FG15
FG30

【國際調查報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 00/27204

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H02M3/335				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H02M				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) WPI Data, PAJ, INSPEC, EPO-Internal				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X	DE 43 15 906 A (PHILIPS PATENTVERWALTUNG) 17 November 1994 (1994-11-17) column 1, paragraph 1 column 2, line 28 - line 36 column 4, line 23 - line 31 column 5, line 59 - column 6, line 10 column 6, line 47 - line 54 claim 1 figure 1	1,5		
Y	-/-	6		
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. </td> <td style="width: 50%; vertical-align: top;"> <input checked="" type="checkbox"/> Patent family members are listed in annex. </td> </tr> </table>			<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/> Patent family members are listed in annex.
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/> Patent family members are listed in annex.			
* Special categories of cited documents:				
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width: 50%; vertical-align: top;"> <p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>*Z* document member of the same patent family</p> </td> </tr> </table>			<p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p>	<p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>*Z* document member of the same patent family</p>
<p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p>	<p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>*Z* document member of the same patent family</p>			
Date of the actual completion of the international search 19 December 2000		Date of mailing of the international search report 05/01/2001		
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2400, Tx. 31 651 ept nl, Fax (+31-70) 340-3016		Authorized officer Roeder, A		

INTERNATIONAL SEARCH REPORT

 Internat. Application No.
PCT/US 00/27204

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DATABASE INSPEC 'Online! THE INSTITUTION OF ELECTRICAL ENGINEERS, STEVENAGE, GB; HONGLIN PAN ET AL: "Design of smart power synchronous rectifier" Database accession no. 6206643 XP002155812 abstract; figure 1	1,7,25, 28
Y	& IEEE TRANSACTIONS ON POWER ELECTRONICS, MARCH 1999, IEEE, USA, vol. 14, no. 2, pages 308-315, ISSN: 0885-8993	6
A	US 5 726 869 A (FUCHIGAMI KAZUTOSHI ET AL) 10 March 1998 (1998-03-10) column 1, line 32 - line 43 column 3, line 7 - line 22 column 5, line 66 - column 6, line 6 column 6, line 48 - line 60 column 9, line 59 - line 62	1,7,25, 28
A	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 10, 30 November 1995 (1995-11-30) & JP 07 194104 A (NEC CORP), 28 July 1995 (1995-07-28) abstract	1,7,25, 28

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 00/27204

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 4315906	A	17-11-1994	NONE	
US 5726869	A	10-03-1998	JP 9103073 A	15-04-1997
JP 07194104	A	28-07-1995	NONE	

Form PCT/ISA/210 (patent family annex) (July 1992)